

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04287593 A

(43) Date of publication of application: 13.10.92

(51) Int. Cl

H04N 9/78

H03H 17/02

H04N 11/08

(21) Application number: 03052016

(71) Applicant: NEC ENG LTD

(22) Date of filing: 18.03.91

(72) Inventor: YAMASHIRO TAKAO

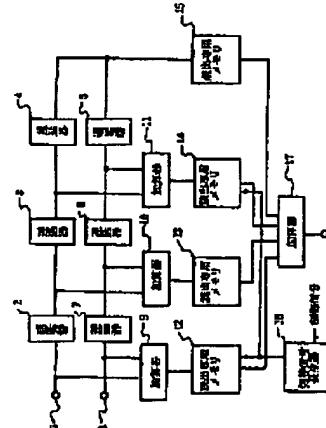
(54) DIGITAL VIDEO SIGNAL FILTER CIRCUIT

(57) Abstract:

PURPOSE: To apply filter processing a color signal being a digital video signal without being separated into a CR signal and a CB signal and to process also a luminance signal with the same circuit configuration.

CONSTITUTION: Delay devices 2-7 delaying an input signal by one clock are connected in cascade and a tap is provided to the devices. Two each tap outputs symmetrical to a center tap are inputted to adders 9-11. The output of the adders 9-11 and the center tap output are inputted to read only memories 12-15 by using the product between an input and a filter coefficient as an input address. A color signal is subject to filter processing by adding outputs of the read only memories 13, 15 and a luminance signal is subject to filter processing by adding output of the read only memories 13-15.

COPYRIGHT: (C)1992,JPO&Japio



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-287593

(43)公開日 平成4年(1992)10月13日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 04 N 9/78

Z 8942-5C

H 03 H 17/02

K 8731-5 J

L 8731-5 J

H 04 N 11/08

9187-5C

審査請求 未請求 請求項の数 2 (全 3 頁)

(21)出願番号

特願平3-52016

(22)出願日

平成3年(1991)3月18日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区西新橋3丁目20番4号

(72)発明者 山城 孝夫

東京都港区西新橋3丁目20番4号日本電気
エンジニアリング株式会社内

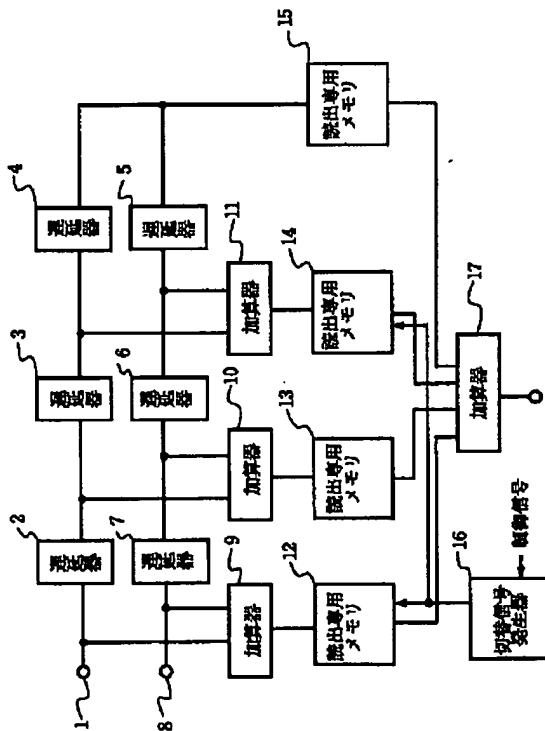
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 デジタル映像信号フィルタ回路

(57)【要約】

【目的】デジタル映像信号の色信号をCR信号とCB信号とに分離せずフィルタ処理し、同一構成で輝度信号をも処理できるようにする。

【構成】入力信号を1クロック遅延させる遅延器2~7を継続接続し、各中間タップを設ける。センタータップと対称な2つずつのタップ出力を加算器9~11に入力する。入力値にフィルタ係数を乗算した値を入力値のアドレスに書込んだ読出専用メモリ12~15のアドレスとして、加算器9~11出力およびセンタータップ出力を入力する。読出専用メモリ13, 15出力を加算すれば色信号をフィルタ処理でき、読出専用メモリ13~15出力を加算すれば輝度信号をフィルタ処理できる。



【特許請求の範囲】

【請求項1】 それぞれ入力した信号を1クロック分遅延させる $2N$ (N は2以上の整数) 個の単位遅延器を縦続接続し先頭の前記単位遅延器の入力信号およびそれぞれの前記単位遅延器の出力信号をそれぞれ分岐出力する $2N+1$ 個のタップを設けた遅延回路と、中央の前記タップと対称に位置するそれぞれ1対の前記タップの出力信号をそれぞれ加算する N 個の第1の加算器と、これら加算器の出力信号および前記中央の前記タップの出力信号にそれぞれあらかじめ定めた重み係数を乗算する $N+1$ 個の乗算器と、これら乗算器の出力信号を加算する第2の加算器と、前記中央の前記タップから奇数個離れて位置する前記タップに対応する前記乗算器からの信号出力を外部からの指示により禁止する手段とを備えたことを特徴とするデジタル映像信号フィルタ回路。

【請求項2】 前記乗算器は前記加算器の出力信号または前記中央の前記タップの出力信号を読出番地として入力する読出専用メモリであることを特徴とする請求項1記載のデジタル映像信号フィルタ回路。

【発明の詳細な説明】

10

【0001】

【産業上の利用分野】 本発明はデジタル映像信号フィルタ回路に関し、特にハイビジョンのデジタル映像信号を処理するデジタル映像信号フィルタ回路に関する。

【0002】

【従来の技術】 ハイビジョンのデジタル映像信号は、輝度信号と色信号とが並列になっており、色信号はCR信号とCB信号とが1クロック毎に交互に時分割多重されている。

【0003】 そのため、特殊効果装置等でハイビジョンのデジタル映像信号をフィルタ処理する場合、まず色信号をCR信号とCB信号とに分離し、それぞれフィルタ処理し、再び多重化していた。したがって、従来のこの種のデジタル映像信号フィルタ回路は、輝度信号用フィルタ、CR信号用フィルタ、CB信号用フィルタ、分離回路および多重回路から構成されていた。

【0004】

【発明が解決しようとする課題】 この従来のデジタル映像信号フィルタ回路は、CR信号用およびCB信号用にそれぞれフィルタを設け、しかも、分離回路および多重回路も必要とするので、構成が複雑になる欠点がある。また、輝度信号用と色信号用とで構成が異なる2種類のフィルタを必要とする欠点もある。

【0005】 本発明の目的は、CR信号とCB信号とを1つのフィルタで処理でき、しかも、輝度信号をも同一構成で処理できる構成の簡単なデジタル映像信号フィルタ回路を提供することにある。

【0006】

【課題を解決するための手段】 本発明のデジタル映像

20

20

信号フィルタ回路は、それぞれ入力した信号を1クロック分遅延させる $2N$ (N は2以上の整数) 個の単位遅延器を縦続接続し先頭の前記単位遅延器の入力信号およびそれぞれの前記単位遅延器の出力信号をそれぞれ分岐出力する $2N+1$ 個のタップを設けた遅延回路と、中央の前記タップと対称に位置するそれぞれ1対の前記タップの出力信号をそれぞれ加算する N 個の第1の加算器と、これら加算器の出力信号および前記中央の前記タップの出力信号にそれぞれあらかじめ定めた重み係数を乗算する $N+1$ 個の乗算器と、これら乗算器の出力信号を加算する第2の加算器と、前記中央の前記タップから奇数個離れて位置する前記タップに対応する前記乗算器からの信号出力を外部からの指示により禁止する手段とを備えている。

【0007】 前記乗算器は前記加算器の出力信号または前記中央の前記タップの出力信号を読出番地として入力する読出専用メモリであってもよい。

【0008】

【実施例】 次に本発明について図面を参照して説明する。

【0009】 図1は本発明の一実施例を示すブロック図である。

【0010】 図1の実施例において、入力した信号をそれぞれ1クロック遅延する遅延器2～7が縦続に接続されている。先頭の遅延器2の入力端に分岐タップを設け、また、各遅延器2～7のそれぞれの出力端にも分岐タップを設ける。これら7個の分岐タップのうち中央の分岐タップ、すなわち遅延器4の出力端の分岐タップと対称に位置するそれぞれ1対の分岐タップ、すなわち遅延器3、5の出力端の分岐タップの対、遅延器2、6の出力端の分岐タップの対、および、遅延器2の入力端の分岐タップと遅延器7の出力端の分岐タップとの対を加算器11、10、9の各1対の入力端に接続する。加算器9、10、11の出力端を読出専用メモリ12、13、14のアドレス端子に接続する。また、中央の分岐タップを読出専用メモリ15のアドレス端子に接続する。読出専用メモリ12～15の出力端を加算器17に接続する。中央の分岐タップから奇数個離れて位置する各分岐タップに対応する読出専用メモリ、すなわち読出専用メモリ12、14の制御端子に切替信号発生器の出力端を接続する。

【0011】 処理すべきデジタル映像信号が色信号である場合、このことを制御信号により切替信号発生器16に指示すると、切替信号発生器16はその出力信号により読出専用メモリ12、14からの読出しを禁止する。この状態で、CR信号とCB信号とが1クロック毎に交互に多重化されている色信号を入力端子1から入力する。

【0012】 読出専用メモリ15にCR信号が入力しているタイミングでは、加算器9、11にはCB信号が入

力し、加算器 10 には CR 信号が入力している。読み出専用メモリ 12～15 の各番地にはアドレスの値にフィルタ係数を乗算した値をあらかじめ書込んでおく。したがって、このタイミングでは、読み出専用メモリ 13, 15 からは CR 信号にフィルタ係数を乗算した値が読み出される。読み出専用メモリ 12, 14 からは CB 信号にフィルタ係数を乗算した値が読み出されるはずであるが、この読み出しは禁止されている。読み出専用メモリ 13, 15 から読み出された信号は加算器 17 で加算され、出力端子 18 から出力される。従って、このタイミングでは、出力端子 18 から CR 信号を処理した信号が出力される。このタイミングから 1 クロック分後のタイミングでは、出力端子 18 から CB 信号を処理した信号が出力される。このようにして、この実施例は色信号を CR 信号と CB 信号とに分離することなく 1 系統のフィルタ回路で処理することができる。

【0013】制御信号により切替信号発生器 16 を制御

して読み出専用メモリ 12, 14 からも読み出しが行われるようすれば、加算器 17 は読み出専用メモリ 12～15 の出力信号を加算して出力するので、この実施例は輝度信号の処理にもそのまま使用できる。

【0014】

【発明の効果】以上説明したように本発明は、色信号を CR 信号と CB 信号とに分離することなく 1 系統で処理でき、また、そのままの構成で輝度信号もを処理できるので、構成を簡素化できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【符号の説明】

2～7 遅延器

9～11, 17 加算器

12～15 読み出専用メモリ

16 切替信号発生器

【図1】

